

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

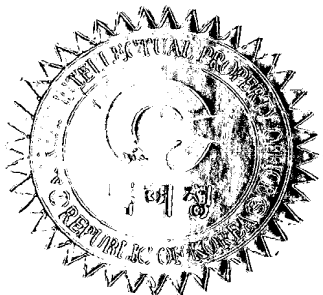
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0057191
Application Number

출원년월일 : 2002년 09월 19일
Date of Application SEP 19, 2002

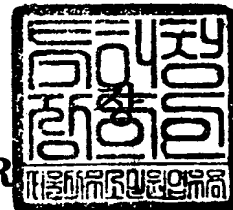
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 07 24 일

특 허 청

COMMISSIONER



	【서지사항】
【서류명】	서지사항 보정서
【수신처】	특허청장
【제출일자】	2003.05.02
【제출인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【사건과의 관계】	출원인
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【사건의 표시】	
【출원번호】	10-2002-0057191
【출원일자】	2002.09.19
【심사청구일자】	2002.09.19
【발명의 명칭】	스플리트 게이트형 플래시 메모리 소자의 제조방법
【제출원인】	
【접수번호】	1-1-2002-0307145-39
【접수일자】	2002.09.19
【보정할 서류】	특허출원서
【보정할 사항】	
【보정대상항목】	발명자
【보정방법】	정정
【보정내용】	
【발명자】	
【성명의 국문표기】	윤중림
【성명의 영문표기】	YOON, JUNG LIM
【주민등록번호】	631110-1458717

【우편번호】	151-050
【주소】	서울특별시 관악구 봉천동 1711-11(8/8)
【국적】	KR
【발명자】	
【성명의 국문표기】	유재민
【성명의 영문표기】	YU, JAE MIN
【주민등록번호】	641025-1405911
【우편번호】	139-210
【주소】	서울특별시 노원구 상계10동 마들대림아파트 1-1304
【국적】	KR
【발명자】	
【성명의 국문표기】	문창록
【성명의 영문표기】	MOON, CHANG ROK
【주민등록번호】	710130-1845822
【우편번호】	431-070
【주소】	경기도 안양시 동안구 평촌동 34번지 삼성래 미안아파트 102- 301
【국적】	KR
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조 의 규정에의하여 위와 같 이 제출합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【보정료】	0 원
【기타 수수료】	원
【합계】	0 원

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2002.09.19
【발명의 명칭】	스플리트 게이트형 플래시 메모리 소자의 제조방법
【발명의 영문명칭】	METHODS OF FABRICATING FLASH MEMORY DEVICES
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	윤중림
【성명의 영문표기】	YOON, JUNG LIM
【주민등록번호】	631110-1458717
【우편번호】	151-050
【주소】	서울특별시 관악구 봉천동 11-1 주거환경개선지구 2블럭10호 201호
【국적】	KR
【발명자】	
【성명의 국문표기】	유재민
【성명의 영문표기】	YU, JAE MIN
【주민등록번호】	641025-1405911
【우편번호】	139-210
【주소】	서울특별시 노원구 상계10동 마들대림아파트 1-1304
【국적】	KR

【발명자】**【성명의 국문표기】**

문창록

【성명의 영문표기】

MOON, CHANG ROK

【주민등록번호】

710130-1845822

【우편번호】

431-070

【주소】경기도 안양시 동안구 평촌동 34번지 삼성래미안아파트
102-301**【국적】**

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

임창현 (인) 대리인

권혁수 (인)

【수수료】**【기본출원료】**

20 면 29,000 원

【가산출원료】

13 면 13,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

9 항 397,000 원

【합계】

439,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

스플리트 게이트형 플래시 메모리 소자의 제조방법을 제공한다. 이 방법은, 반도체 기판에 트렌치 소자분리막을 형성하여 복수개의 평행한 제1 활성영역들을 형성한다. 이와 함께, 제1 활성영역 상에 트렌치 소자분리막의 측벽에 정렬된 측벽을 가지며 차례로 적층된 게이트 절연막 패턴, 도전막 패턴 및 하드마스크 패턴을 형성한다. 각각의 제1 활성영역을 따라 하드마스크 패턴을 일정한 간격을 두고 제거하여 도전막 패턴의 상부면을 노출시킨다. 노출된 도전막 패턴 상에 산화막 패턴을 형성하고, 하드마스크 패턴을 제거한다. 산화막 패턴을 식각마스크로 사용하여 도전막 패턴을 식각하여 각각의 제1 활성영역 상에 일정한 간격을 두고 배열된 부유게이트 패턴을 형성한다. 부유게이트 패턴의 측벽에 터널산화막을 형성하고, 제1 활성영역들의 상부를 가로지르는 복수개의 제어 게이트 전극들을 형성한다. 제어게이트 전극은 부유게이트 패턴들의 상부에 배치된다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

스플리트 게이트형 플래시 메모리 소자의 제조방법(METHODS OF FABRICATING FLASH MEMORY DEVICES)

【도면의 간단한 설명】

도 1a는 종래의 스플리트 게이트형 플래시 메모리 소자를 나타낸 평면도이다.

도 1b는 종래의 스플리트 게이트형 플래시 메모리 소자의 문제점을 나타낸 도면들이다.

도 1c는 도 1a의 A-A를 따라 취해진 종래의 스플리트 게이트형 플래시 메모리 소자의 문제점을 나타낸 도면들이다.

도 2는 본 발명의 바람직한 실시예에 따른 스플리트 게이트형 플래시 메모리 소자를 나타낸 평면도이다.

도 3a 내지 도 9a는 본 발명의 바람직한 실시예에 따른 스플리트 게이트형 플래시 메모리 소자의 제조방법을 설명하기 위한 평면도들이다.

도 3b 내지 도 9b는 각각 도 3a 내지 도 9a의 B-B를 따라 취해진 공정단면도들이다.

도 3c 내지 도 9c는 각각 도 3a 내지 도 9a의 C-C를 따라 취해진 공정단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <8> 본 발명은 플래시 메모리 소자의 제조방법에 관한 것으로써, 더 구체적으로 스플리트 게이트를 가지는 플래시 메모리 소자의 제조방법에 관한 것이다.
- <9> 플래시 메모리 소자는 전기적으로 데이터의 기입과 소거가 가능하고, 전원이 공급되지 않아도 데이터의 보존이 가능하여 다양한 분야에서 응용 범위가 확대되고 있다. 상기 플래시 메모리 소자는 메모리 셀 어레이의 구조에 따라 크게, 낸드형(NAND type)과 노어형(NOR type)으로 구분되는데, 낸드형 플래시 메모리 소자는 단위면적당 높은 셀 집적도를 가지고, 노어형 플래시 메모리 소자는 빠른 응답속도를 가지는 장점이 있다.
- <10> 노어형 플래시 메모리 소자는 메모리 셀들이 행방향 및 열방향으로 정렬되어 배치되고, 행 방향으로 평행하게 복수개의 비트라인들이 배치되고, 열방향으로 평행하게 복수개의 워드라인들이 배치된다. 각 행의 메모리 셀들은 하나의 비트라인에 병렬로 접속되고, 각 열의 메모리 셀들은 하나의 워드라인에 병렬로 접속된다.
- <11> 상기 노어형 플래시 메모리 소자는 워드라인과 비트라인이 각각 하나씩 선택되어 상기 선택 워드라인 및 상기 선택 비트라인에 접속된 메모리 셀이 선택된다. 따라서, 랜덤 액세스가 가능하기 때문에 응답속도가 노어형 플래시 메모리 소자에 비해 빠르다. 노어형 플래시 메모리 소자에서 메모리 셀들은 비트 라인에 병렬로 연결되어 있기 때문에, 비선택 워드라인에 연결된 메모리 셀 트랜지스터가 과소거(over erase)상태일 경우, 선

택 메모리 셀에 관계없이 선택된 비트라인을 통하여 전류가 흐른다. 따라서, 선택된 비트라인에 접속된 모든 메모리 셀들이 턴온된 셀들로 읽혀지는 오동작이 발생한다.

<12> 플래시 메모리 소자의 다른 형태로 선택 게이트와 제어 게이트의 두가지 기능을 하는 워드라인이 부유게이트의 일부분에 중첩되어 형성되는 스플리트 게이트형 플래시 메모리 소자가 있다.

<13> 도 1a는 종래의 스플리트 게이트형 플래시 메모리 소자를 나타낸 평면도이다.

<14> 도 1a를 참조하면, 종래의 스플리트 게이트형 플래시 메모리 소자는 반도체 기판에 소자분리막(8)이 배치되어 서로 교차하는 제1 및 제2 활성영역들(12a)을 한정한다. 인접한 제2 활성영역들(12b) 사이의 제1 활성영역(12a) 상에 두개의 부유게이트 패턴들(14)이 배치되고, 상기 부유게이트 패턴(14) 상부에 상기 제1 활성영역들(12a)과 교차하는 워드라인(18)이 배치된다. 상기 워드라인(18)은 상기 부유게이트 패턴(14)의 상부 및 상기 부유게이트 패턴(14)의 일측벽에 인접한 상기 제1 활성영역(12a) 상에 중첩된다. 서로 대향하여 형성된 워드라인들(18) 사이의 상기 제1 활성영역(12a)에 드레인영역이 형성되고, 상기 드레인 영역에 비트라인 플러그(20)가 접속된다.

<15> 도 1b를 참조하면, 종래의 스플리트 게이트형 비휘발성 메모리 소자의 부유게이트(14)는 반도체 기판에 활성영역들(12a, 12b)을 한정하고 도전막을 형성한 후 패터닝하여 형성한다. 사진공정에 의해 형성되는 패턴은 레이아웃 상에서 사각형으로 디자인되어도 노광시 근접효과(proximity effect)에 의해 그 가장자리가 둥글

게 패터닝된다. 도시된 것과 같이 타원형의 부유게이트 패턴의 가장자리의 폭이 급격히 감소하기 때문에 상기 부유게이트 패턴이 오정렬되면 부유게이트 하부의 채널폭이 급격히 감소하여 셀 특성에 영향을 미치고, 셀 어레이 내의 셀 특성 산포가 커질 수 있다. 덧붙여, 도 1c를 참조하면, 반도체 소자가 고집적화되어 활성영역의 폭이 좁을 경우, 부유게이트가 오정렬되면 워드라인(18)이 소자분리막(8)과 부유게이트 패턴(14) 사이의 기판(10)에 직접 접촉하여 메모리 셀에 오동작을 유발할 수 있다. 덧붙여, 이웃한 비트라인들에 접속된 메모리 셀들의 부유게이트들이 소자분리막 상에서 일정 간격 이격되어 형성되기 때문에 이들 사이의 간격을 최소선폭보다 넓게 정의하여야 한다. 이로 인하여 소자분리막 패턴(8)의 폭을 최소선폭까지 줄일 수 없는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<16> 본 발명이 이루고자 하는 기술적 과제는 스플리트 게이트형 플래시 메모리 소자를 제조함에 있어서, 사진공정상의 오정렬 및 근접효과의 영향을 받지 않는 부유게이트 패턴을 형성할 수 있는 방법을 제공하는데 있다.

<17> 본 발명이 이루고자 하는 다른 기술적 과제는 셀 어레이 내의 셀 특성 산포를 최소화할 수 있는 스플리트 게이트형 플래시 메모리 소자의 제조방법을 제공하는데 있다.

【발명의 구성 및 작용】

<18> 상기 기술적 과제들을 달성하기 위하여 본 발명은 트렌치 소자분리막의 측벽에 정렬된 측벽을 갖는 부유게이트를 가지는 스플리트 게이트형 플래시 메모리 소

자의 제조방법을 제공한다. 이 방법은, 반도체 기판에 트렌치 소자분리막을 형성하여 복수개의 평행한 제1 활성영역들을 형성한다. 이와 함께, 상기 제1 활성영역 상에 상기 트렌치 소자분리막의 측벽에 정렬된 측벽을 가지며 차례로 적층된 게이트 절연막 패턴, 도전막 패턴 및 하드마스크 패턴을 형성한다. 상기 각각의 제1 활성영역을 따라 상기 하드마스크 패턴을 일정한 간격을 두고 제거하여 상기 도전막 패턴의 상부면을 노출시킨다. 상기 노출된 도전막 패턴 상에 산화막 패턴을 형성하고, 상기 하드마스크 패턴을 제거한다. 상기 산화막 패턴을 식각마스크로 사용하여 상기 도전막 패턴을 식각하여 상기 각각의 제1 활성영역 상에 일정한 간격을 두고 배열된 부유게이트 패턴을 형성한다. 상기 부유게이트 패턴의 측벽에 터널산화막을 형성하고, 상기 제1 활성영역들의 상부를 가로지르는 복수개의 제어게이트 전극들을 형성한다. 상기 제어게이트 전극은 상기 부유게이트 패턴들의 상부에 배치된다.

<19> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

- <20> 도 2는 본 발명의 바람직한 실시예에 따라 제조된 노어형 스플리트 게이트형 플래시 메모리 소자를 나타낸 평면도이다.
- <21> 도 2를 참조하면, 본 발명의 바람직한 실시예에 따른 스플리트 게이트형 플래시 메모리 소자는 종래의 스플리트 게이트형 플래시 메모리 소자와 마찬가지로, 반도체 기판에 소자분리막(58)이 배치되어 복수개의 평행한 제1 활성영역들(62a)을 한정하고, 각각의 제1 활성영역(62a) 상에 일정한 간격으로 부유게이트 패턴들(64)이 배치된다. 상기 제1 활성영역들(62a)의 상부를 가로지르는 복수개의 평행한 워드라인들(68)이 상기 부유게이트 패턴들(64) 상에 배치된다. 상기 워드라인(68)은 상기 부유게이트 패턴(64)의 상부 및 상기 부유게이트 패턴(64)의 일측벽에 인접한 상기 제1 활성영역(62a) 상에 중첩된다.
- <22> 상기 소자분리막(58)은 상기 제1 활성영역들(62a)과 교차하는 복수개의 평행한 제2 활성영역(62b)을 한정한다. 상기 제1 활성영역(62a) 및 상기 제2 활성영역(62b)의 교차영역들 사이의 상기 제1 활성영역(62a) 상에 두개의 부유게이트 패턴(64)이 배치된다. 상기 제1 활성영역(62a) 상에 중첩된 워드라인들(68) 사이의 제1 활성영역(62a) 내에 드레인 영역이 형성되고, 상기 제2 활성영역(62b) 내에 소오스 영역이 형성되고, 상기 드레인 영역에 비트라인 플러그(70)가 배치된다. 따라서, 상기 소오스 영역은 그 양측의 메모리 셀들이 병렬로 접속되는 공통소오스 영역을 구성한다. 이와 달리, 상기 제2 활성영역들(62b)을 형성하지 않고, 상기 제2 활성영역들(62b)에 대응하는 위치에 상기 제1 활성영역들(62a)에 접속된 공통 소오스 패턴이 배치될 수도 있다. 본 발명에서, 상기 소자분리막(58)은 트렌치 소자분리막이고, 상기 부유게이트 패턴(64)은 상기 소자분리막(58)의 측벽에 정렬된 측벽을 가진다.

- <23> 도 3a 내지 도 9a는 본 발명의 바람직한 실시예에 따른 스플리트 게이트형 플래시 메모리 소자의 제조방법을 설명하기 위한 평면도들이다.
- <24> 도 3b 내지 도 9b는 각각 도 3a 내지 도 9a의 B-B를 따라 취해진 공정단면도들이다.
- <25> 도 3c 내지 도 9c는 각각 도 3a 내지 도 9a의 C-C를 따라 취해진 공정단면도들이다.
- <26> 도 3a, 3b 및 3c를 참조하면, 반도체 기판(50) 상에 게이트 절연막(52), 도전막(54) 및 하드마스크막(56)을 적층한다. 상기 게이트 절연막(52)은 실리콘산화막, 실리콘 산질화막(silicon oxynitride)등으로 형성할 수 있고, 상기 도전막(54)은 폴리실리콘막으로 형성할 수 있고, 상기 하드마스크막(56)은 실리콘질화막으로 형성할 수 있다.
- <27> 도 4a, 4b 및 4c를 참조하면, 상기 하드마스크막(56), 상기 도전막(54) 및 상기 게이트 절연막(52)을 패터닝하여 상기 반도체 기판(50) 상에 게이트 절연막 패턴(52a), 도전막 패턴(54a) 및 하드마스크 패턴(56a)이 차례로 적층된 복수개의 평행한 패턴들을 형성한다. 상기 하드마스크 패턴(56a)을 식각마스크로 사용하여 상기 반도체 기판(50)을 식각하여 복수개의 평행한 제1 활성영역들(60a)을 한정한다. 상기 적층된 패턴들 사이의 영역에 절연막을 채워 트렌치 소자분리막(58)을 형성한다. 그 결과, 상기 게이트 절연막 패턴(52a), 도전막 패턴(54a) 및 하드마스크 패턴(56a)이 차례로 적층된 패턴은 상기 제1 활성영역(60a) 상부에 정렬되고, 상기 도전막 패턴(54a)은 상기 트렌치 소자분리막(58)의 측벽에 정렬된 측벽(55)을 가진다. 이 때, 상기 트렌치 소자분리막(58) 상부의 일부분을 리세스시키어 반도체 소자의 주변회로 및 로직회로들이 형성될 지역의 반도체 기판과 소자분리막 사이의 단차를 줄여줄 수 있다. 그러나, 상기 리세스 깊이를 적절히 제어하여 상기 트렌치 소자분리막(58) 상부면의 높이가 상기 도전막 패턴(55) 상부면의 높이보다 높은 것이 요구된다. 상기 트렌치 소자분리막(58) 상부면의 높이가 상기 도전막

패턴(54a) 상부면의 높이보다 낮으면, 부유게이트 패턴 상부에 산화막 패턴을 형성하는 열산화 공정에서 상기 도전막 패턴(54a)의 측벽이 산화되어 FN터널링을 위한 부유게이트 패턴의 팁을 형성하기 어렵기 때문이다.

<28> 도시된 것과 같이, 상기 반도체 기판 상에 적층된 상기 게이트 절연막 패턴(52a), 상기 도전막 패턴(54a) 및 상기 하드마스크 패턴(56a)은 메쉬형태로 형성할 수 있다. 이 경우, 상기 하드마스크 패턴(56a)을 식각마스크로 사용하여 상기 반도체 기판(50)을 식각하여 메쉬형태의 활성영역을 형성할 수 있다. 상기 메쉬형 활성영역은 복수개의 평행한 제1 활성영역들(60a) 및 상기 제1 활성영역들(60a)과 교차하는 복수개의 평행한 제2 활성영역들(60b)으로 구성된다. 이러한 메쉬형태의 활성영역은 노어형 플래시 메모리 소자에서 통상적으로 적용되는 형태으로써, 상기 제2 활성영역(60b)에 노어형 플래시 메모리 소자의 공통소오스 영역이 형성된다.

<29> 도 5a, 5b 및 5c를 참조하면, 상기 반도체 기판(50)의 상에 포토레지스트 패턴(61)을 형성한다. 상기 포토레지스트 패턴(61)은 상기 제2 활성영역(60b)와 평행한 복수개의 오프닝들(62)을 갖는다. 상기 오프닝(62) 내에 상기 하드마스크 패턴(56a) 및 상기 소자분리막 패턴(58)이 번갈아 노출된다. 상기 제2 활성영역들(60b) 사이에 한 쌍의 오프닝들(62)이 배치된다. 상기 포토레지스트 패턴(61)을 식각마스크로 사용하여 상기 하드마스크 패턴(56a)을 식각한다. 그 결과, 상기 각각의 오프닝(62) 내에 도전막 패턴(54a)의 상부면이 일정한 간격으로 노출된다. 상기 제2 활성영역들(60b) 사이의 각각의 제1 활성영역(60a) 상에서 2 부분의 상기 도전막 패턴(54a)의 상부면이 노출된다.

<30> 도 6a, 6b 및 6c를 참조하면, 상기 포토레지스트 패턴(61)을 제거한다.

결과적으로, 상기 반도체 기판(50) 상부에 상기 소자분리막들(58)과 상기 하드마스크 패

턴들(56a)에 의해 한정되어 상기 도전막 패턴(54a)의 상부면이 열방향 행방향으로 배열된 섬형태로 노출된다. 상기 노출된 도전막 패턴(54a) 상에 산화막 패턴(64)을 형성한다. 상기 산화막 패턴(64)은 상기 반도체 기판에 열산화공정을 적용하여 상기 노출된 도전막 패턴(54a)을 산화함으로써 형성할 수 있다. 이 때, 상기 산화막 패턴(64)은 3차원효과(3 dimensions-effect)에 의해 타원형 단면으로 형성된다.

<31> 도 7a, 7b 및 7c를 참조하면, 상기 하드마스크 패턴들(56a)을 제거한다. 결과적으로 상기 제1 활성영역(60a) 상에 상기 도전막 패턴(54a)이 노출되고, 상기 도전막 패턴(54a) 상에 일정한 간격으로 산화막 패턴들(64)이 배치된다.

<32> 도 8a, 8b 및 8c를 참조하면, 상기 산화막 패턴들(64)을 식각마스크로 사용하여 상기 도전막 패턴(54a)을 식각한다. 그 결과, 상기 제1 활성영역(60a) 상에 일정한 간격으로 배치된 부유게이트 패턴들(54b)이 형성된다. 상기 게이트 산화막 패턴(52a)은 식각하거나 식각하지 않고 남길 수 있다. 상기 부유게이트 패턴(54b)은 상기 트렌치 소자분리막(58)의 측벽이 정렬된 측벽(55a)을 가지고, 그 상부에 상기 산화막 패턴(64)이 배치된다. 상기 산화막 패턴(64)이 타원형 단면을 가지기 때문에 상기 부유게이트 패턴(54b)의 상부 모서리에 팁이 형성된다. 상기 제1 활성영역들(60a) 및 상기 제2 활성영역들(60b)로 구성된 메쉬형 활성영역을 형성할 경우, 상기 제1 활성영역들(60a)과 상기 제2 활성영역들(60b)의 교차영역이 기판 상에 위치하고, 상기 교차영역들 사이의 상기 제1 활성영역(60a) 상에 한쌍의 부유게이트 패턴(54b)이 배치될 수 있다.

<33> 도 9a, 9b 및 9c를 참조하면, 상기 부유게이트 패턴들(54b)이 형성된 기판의 전면 에 도전막을 형성하고, 상기 도전막을 패터닝하여 상기 제1 활성영역들(60a)의 상부를 가로지르는 복수개의 평행한 워드라인들(68)을 형성한다. 상기 워드라인들(68)은 상기

부유게이트 패턴(54b) 상부의 일부분과 상기 부유게이트 패턴(54b)에 인접한 상기 제1 활성영역(60a) 상에 중첩된다. 또한, 상기 워드라인(68)은 인접한 워드라인(68)과 대칭적으로 배치된다. 메쉬형 활성영역을 구성하는 상기 제2 활성영역들(60b) 사이에 한쌍의 워드라인들(68)이 배치되고, 상기 워드라인들(68) 사이의 상기 제1 활성영역(60a)에 드레인 영역이 형성되고, 상기 제2 활성영역(60b)에 소오스 영역이 형성된다.

<34> 결과적으로, 도 2에 도시된 것과 같은 스플리트 게이트형 플래시 메모리 소자를 형성할 수 있다.

【발명의 효과】

<35> 상술한 것과 같이 본 발명에 따른 부유게이트 패턴은 트렌치 소자분리막을 형성하고, 상기 트렌치 소자분리막의 측벽에 정렬된 측벽을 가지도록 형성함으로써, 사진공정에서 발생하는 근접효과 및 오정렬의 영향을 받지 않는다. 따라서, 셀 어레이 내의 셀 특성 산포가 적은 스플리트 게이트형 플래시 메모리 소자를 제조할 수 있다. 또한, 인접한 비트라인들에 연결된 메모리 셀들의 부유게이트들이 소자분리막으로 격리되기 때문에 소자분리막의 폭을 줄여 집적도를 높일 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판에 트렌치 소자분리막을 형성하여 복수개의 평행한 제1 활성영역들을 형성하고, 상기 제1 활성영역 상에 상기 트렌치 소자분리막의 측벽에 정렬된 측벽을 가지며 차례로 적층된 게이트 절연막 패턴, 도전막 패턴 및 하드마스크 패턴을 형성하는 단계;

상기 각각의 제1 활성영역을 따라 상기 하드마스크 패턴을 일정한 간격을 두고 제거하여 상기 도전막 패턴의 상부면을 노출시키는 단계;

상기 노출된 도전막 패턴 상에 산화막 패턴을 형성하는 단계;

상기 하드마스크 패턴을 제거하는 단계;

상기 산화막 패턴을 식각마스크로 사용하여 상기 도전막 패턴을 식각하여 상기 각각의 제1 활성영역 상에 일정한 간격을 두고 배열된 부유게이트 패턴을 형성하는 단계;

상기 부유게이트 패턴의 측벽에 터널산화막을 형성하는 단계; 및

상기 제1 활성영역들의 상부를 가로질러, 상기 부유게이트 패턴들의 상부에 배치된 복수개의 나란한 제어게이트 전극들을 형성하는 단계를 포함하는 플래시 메모리 소자의 제조방법.

【청구항 2】

제1 항에 있어서,

제 1 활성영역들을 한정하는 단계는,

반도체 기판 상에 게이트 절연막, 도전막 및 하드마스크막을 적층하는 단계;

상기 하드마스크막, 상기 도전막, 상기 게이트 절연막 및 상기 반도체 기판을 차례로 패터닝하여 상기 반도체 기판 상에 게이트 절연막 패턴, 도전막 패턴 및 하드마스크 패턴이 적층된 복수개의 평행한 패턴들을 형성하는 단계;

상기 하드마스크 패턴을 식각마스크로 사용하여 상기 반도체 기판을 식각하여 복수개의 평행한 활성영역들을 한정하는 단계; 및

상기 게이트 절연막 패턴, 상기 도전막 패턴 및 상기 하드마스크 패턴이 적층된 패턴들 사이의 영역내에 절연막을 채워 트렌치 소자분리막을 형성하는 단계를 포함하는 플래시 메모리 소자의 제조방법.

【청구항 3】

제1 항에 있어서,

상기 도전막 패턴의 상부면의 높이는 상기 트렌치 소자분리막의 상부면의 높이보다 낮게 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

【청구항 4】

제1 항에 있어서,

상기 도전막 패턴은 폴리실리콘으로 형성하고,

상기 산화막 패턴은 상기 도전막 패턴을 열산화하여 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

【청구항 5】

제1 항에 있어서,

상기 도전막 패턴의 상부면을 노출시키는 단계는,

상기 반도체 기판의 전면에 상기 제1 활성영역들을 가로질러 상기 하드마스크 패턴 및 상기 트렌치 소자분리막을 노출시키는 복수개의 평행한 오프닝들을 가지는 포토레지스트 패턴을 형성하는 단계; 및

상기 포토레지스트 패턴을 식각마스크로 사용하여 상기 하드마스크 패턴을 식각하는 단계를 포함하는 플래시 메모리 소자의 제조방법.

【청구항 6】

제1 항에 있어서,

상기 워드라인과 평행하게 배치되어 그 하부의 상기 제1 활성영역들에 접속된 공통 소오스 라인을 형성하는 단계를 더 포함하되, 공통 소오스 라인들 사이에 두개의 워드라인들이 배치되도록 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

【청구항 7】

제1 항에 있어서,

상기 제1 활성영역을 형성하는 단계에서,

상기 제1 활성영역들과 교차하는 복수개의 평행한 제2 활성영역들을 더 형성하여 상기 게이트 절연막 패턴, 상기 도전막 패턴 및 상기 하드마스크 패턴이 적층된 패턴은 상기 반도체 기판상에 메쉬형태를 갖도록 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

【청구항 8】

제7 항에 있어서,

상기 도전막 패턴의 상부면을 노출시키는 단계는,

상기 반도체 기관의 전면에 상기 제2 활성영역들과 평행한 복수개의 오프닝들을 갖는 포토레지스트 패턴을 형성하되, 인접한 제2 활성영역들 사이에 두개의 오프닝이 배치되도록 형성하는 단계; 및

상기 포토레지스트 패턴을 식각마스크로 사용하여 상기 하드마스크 패턴을 식각하여 상기 제1 및 제2 활성영역들의 교차점 사이의 상기 제1 활성영역 상부에 2 부분의 상기 도전막 패턴의 상부면을 노출시키는 단계를 포함하는는 플래시 메모리 소자의 제조방법.

【청구항 9】

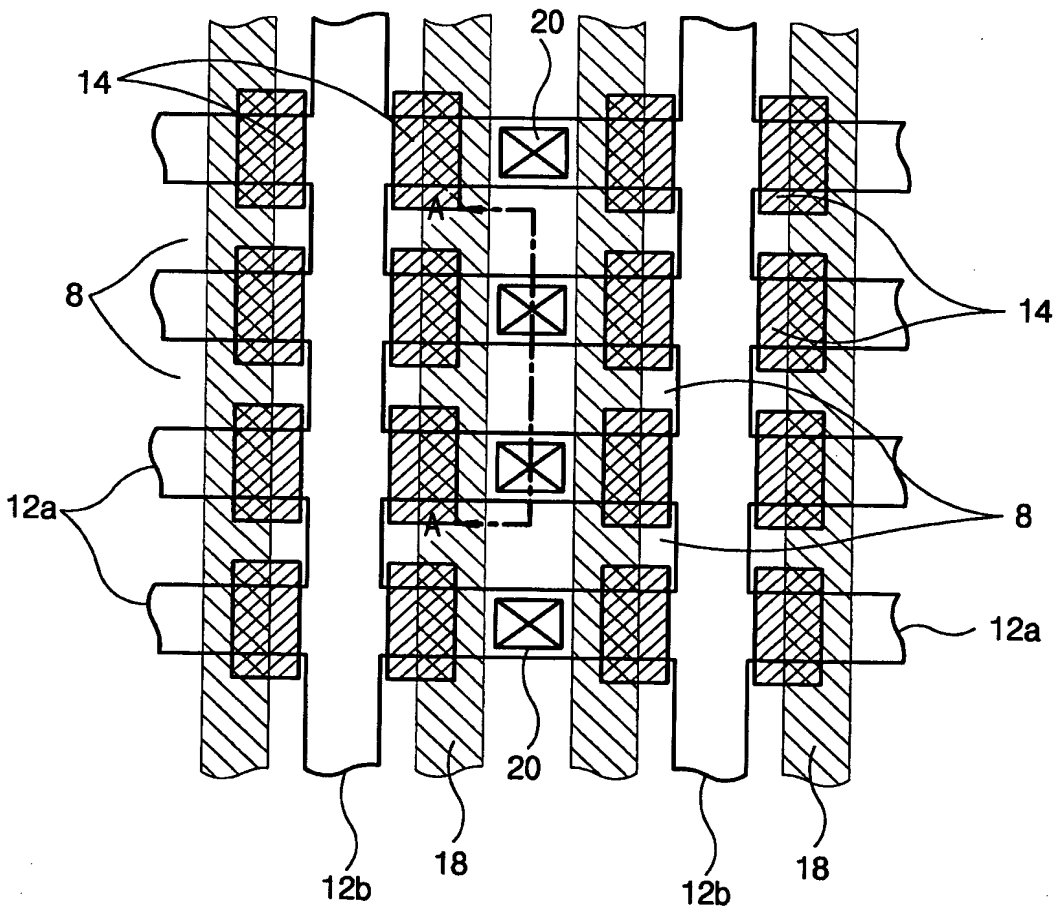
제1 항에 있어서,

상기 각각의 워드라인은 상기 부유게이트들의 일부분 및 상기 제1 활성영역들의 일부분 상부에 중첩되게 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

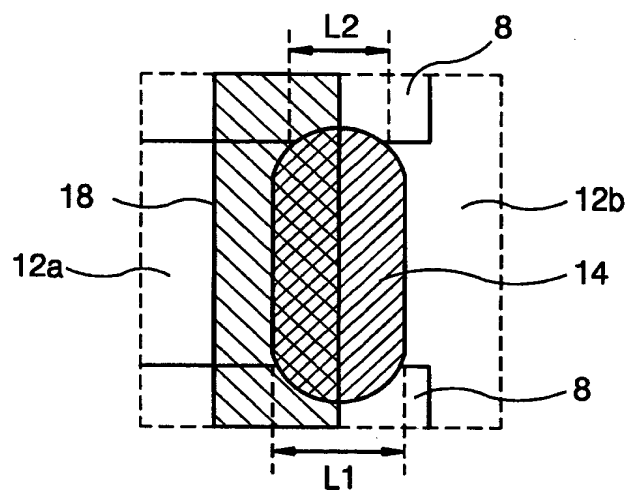
【도면】

【도 1a】

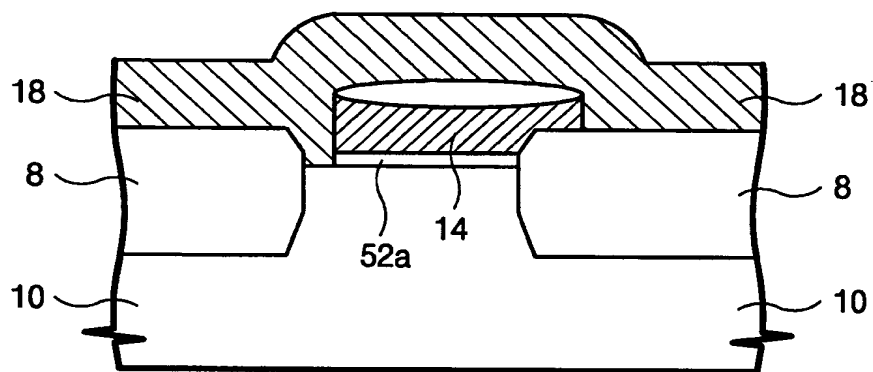
(종래 기술)



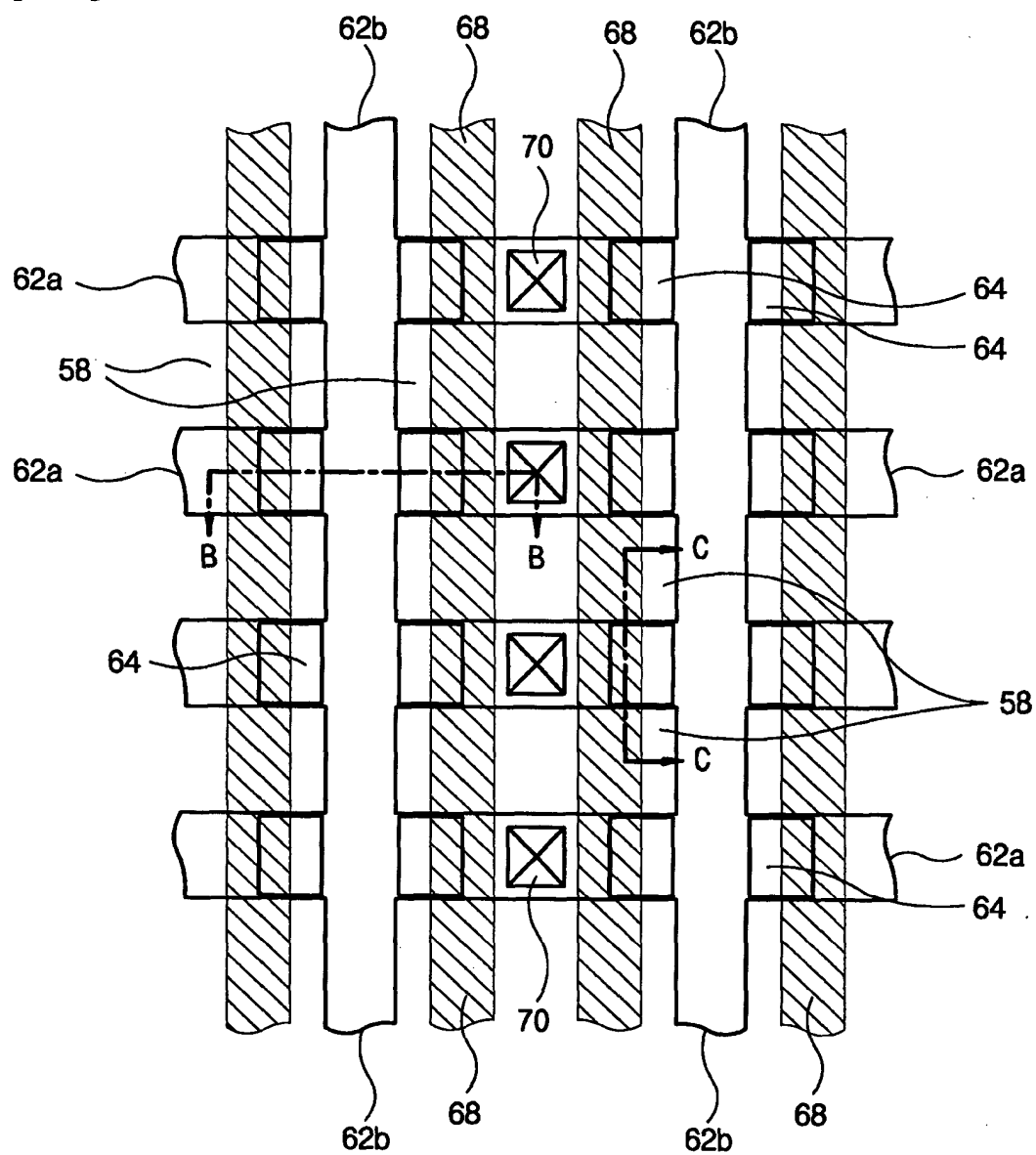
【도 1b】



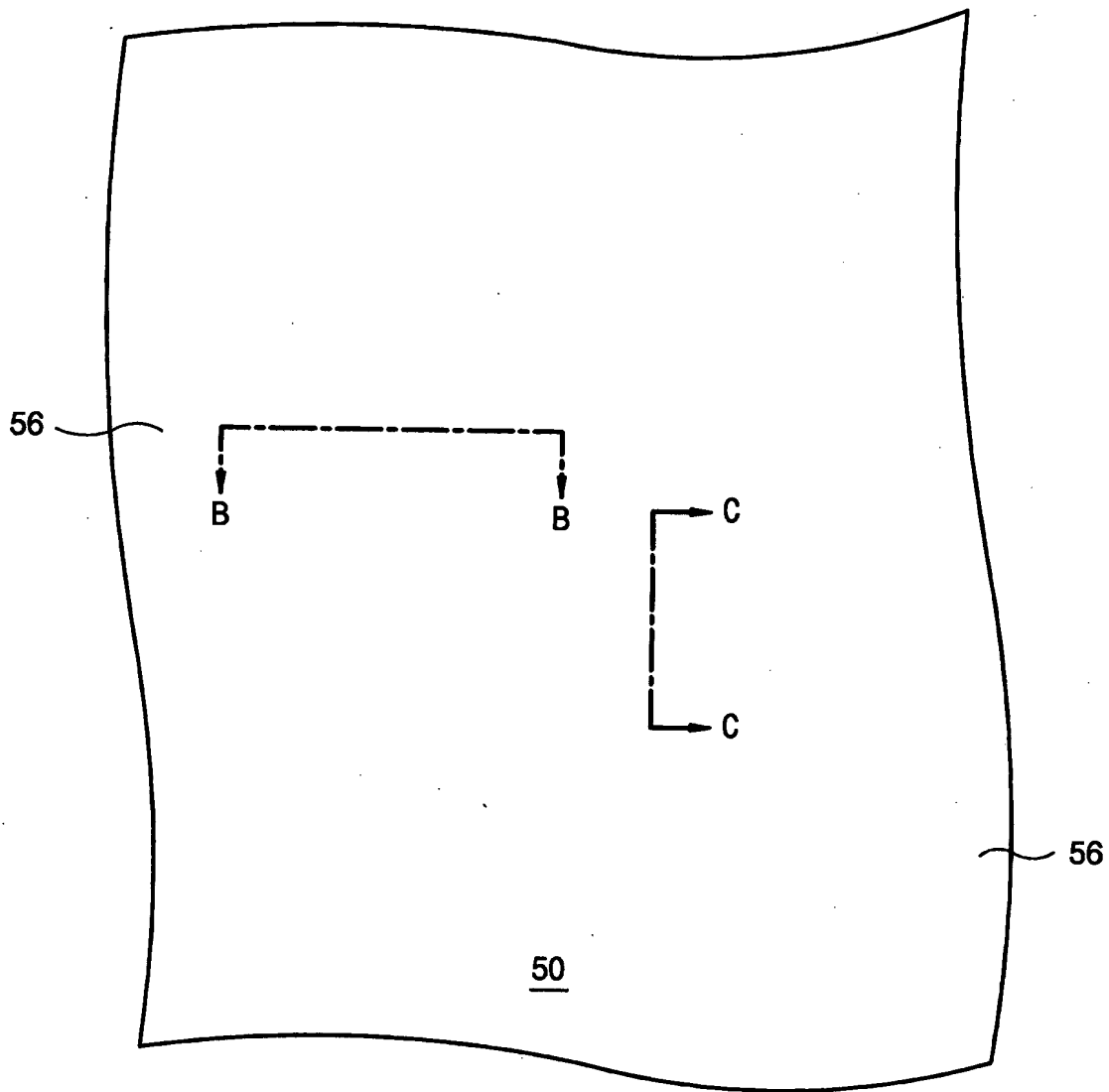
【도 1c】



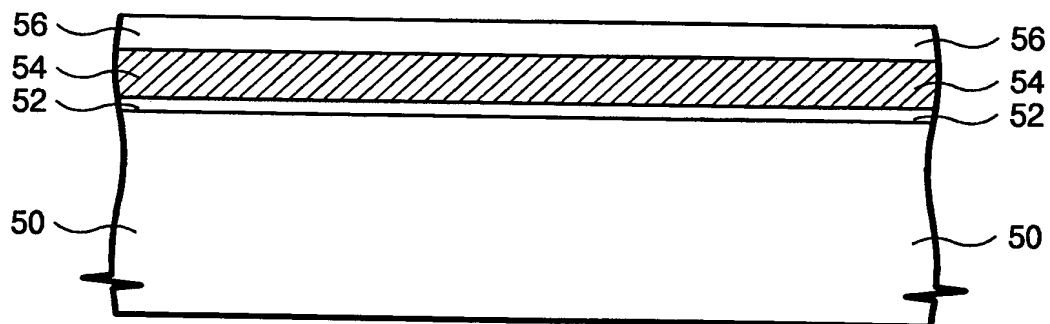
【도 2】



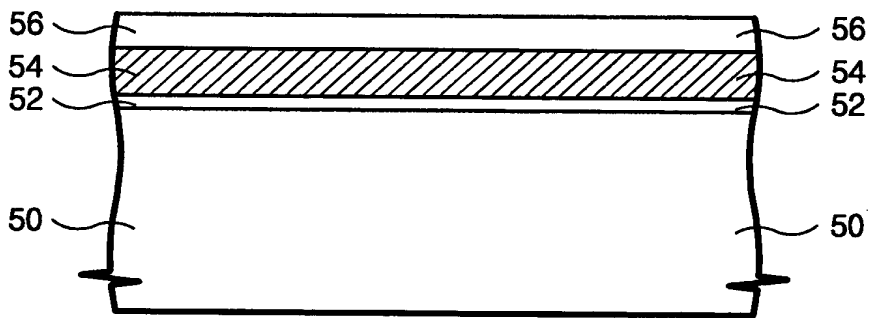
【도 3a】



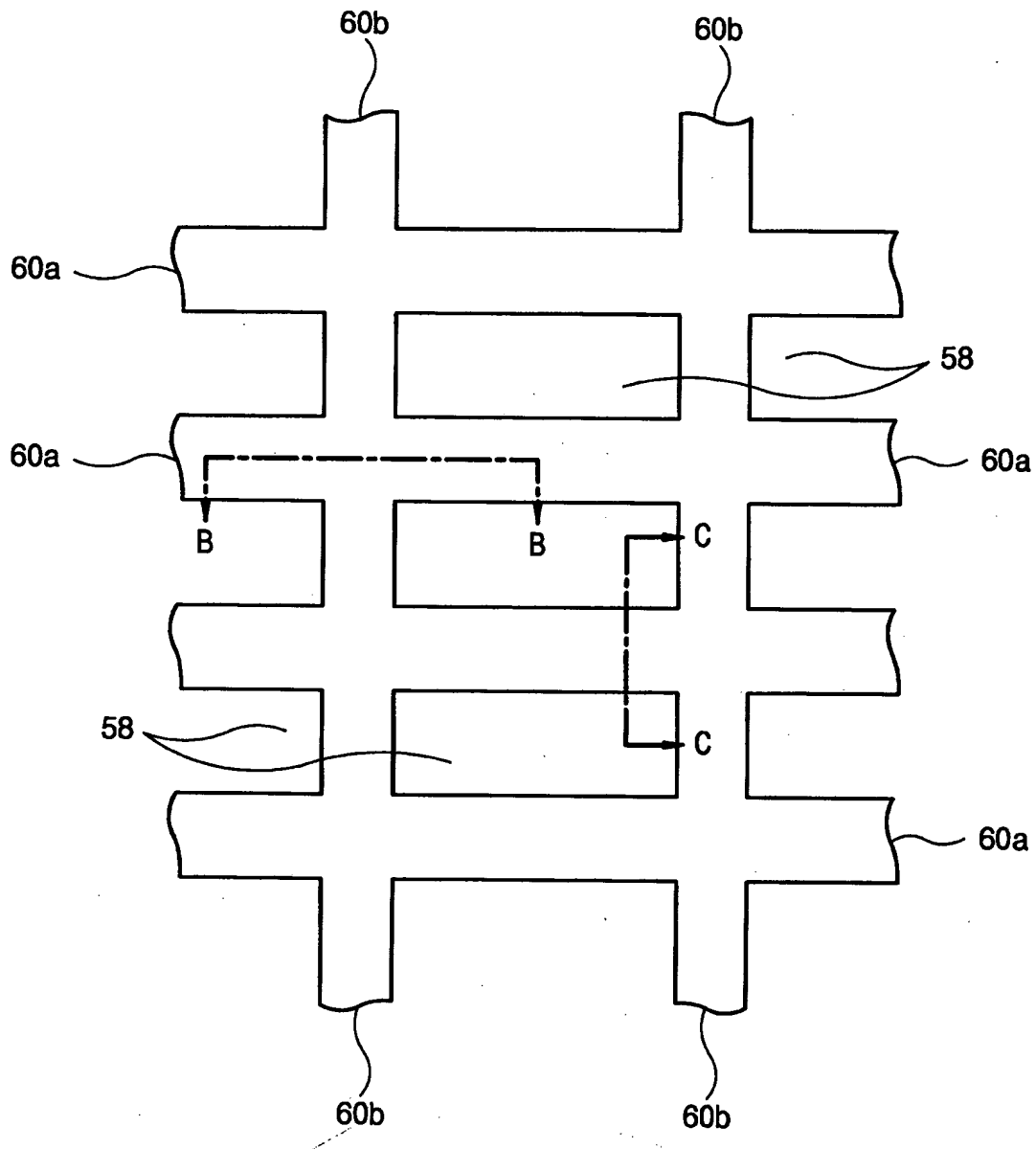
【도 3b】



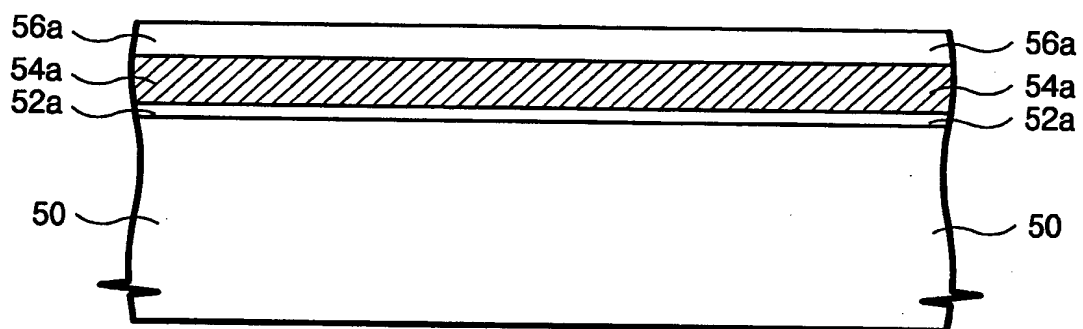
【도 3c】



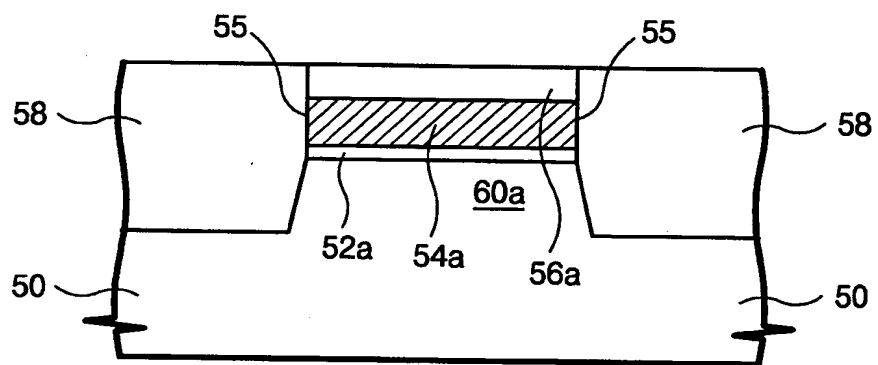
【도 4a】



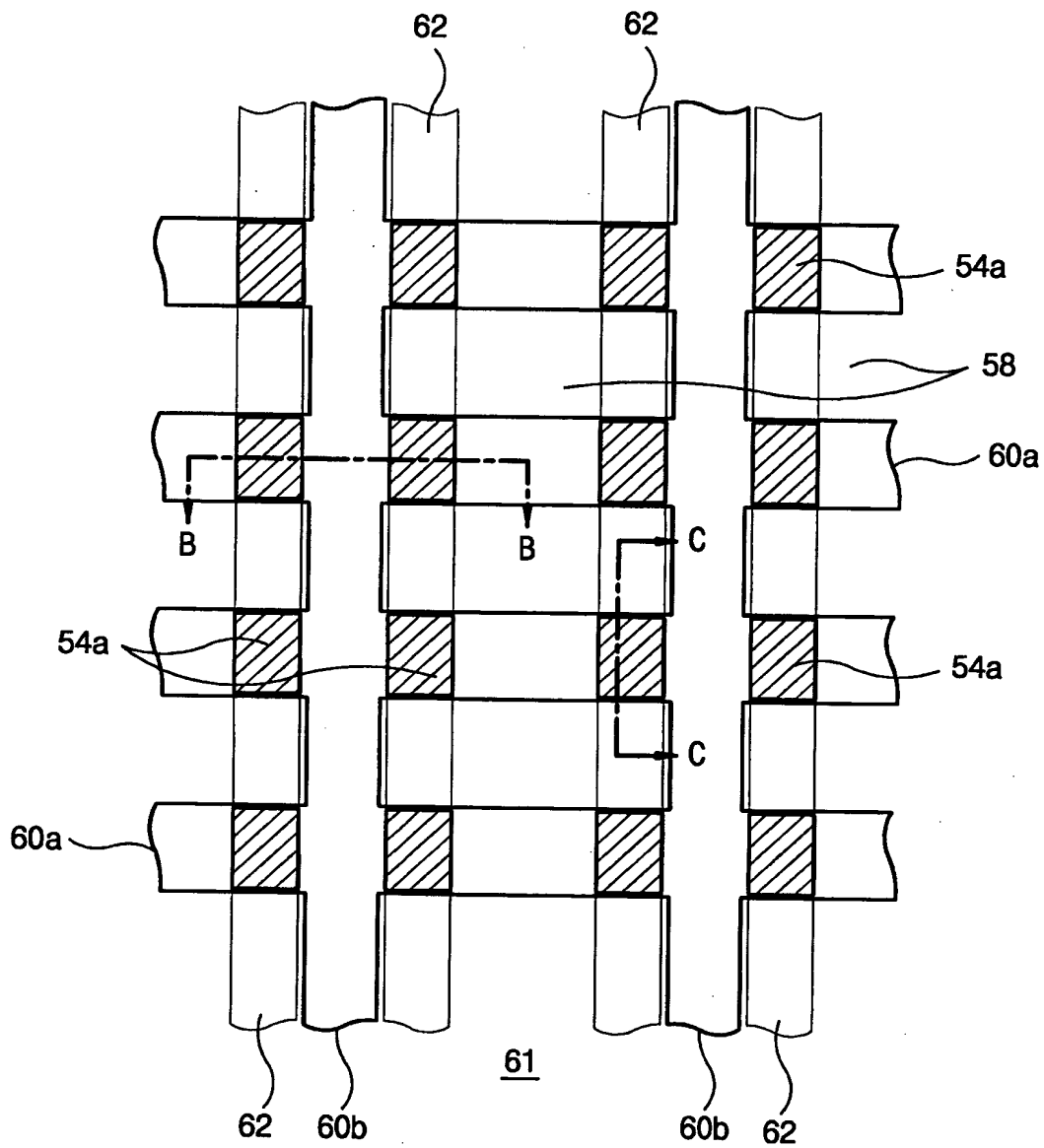
【도 4b】



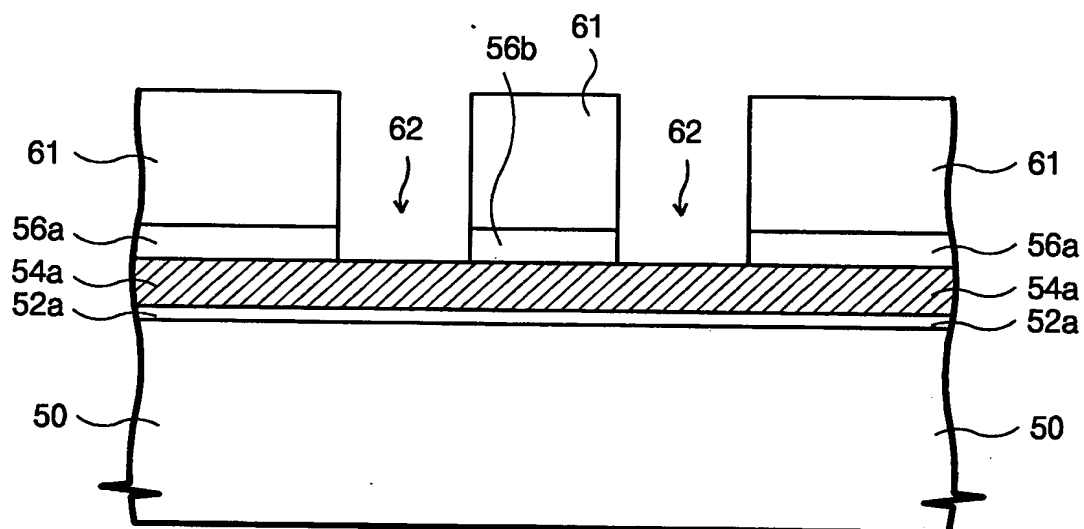
【도 4c】



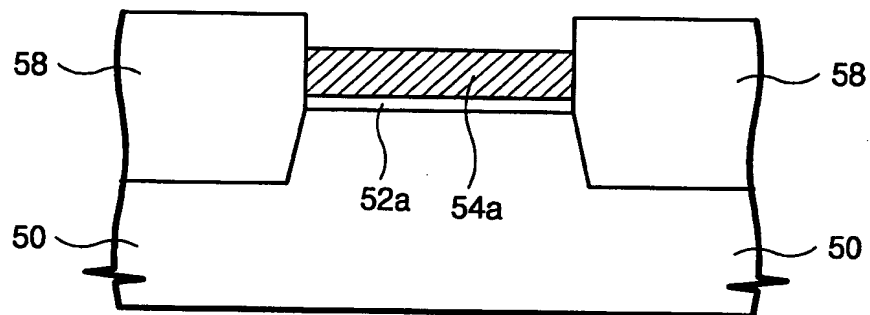
【도 5a】



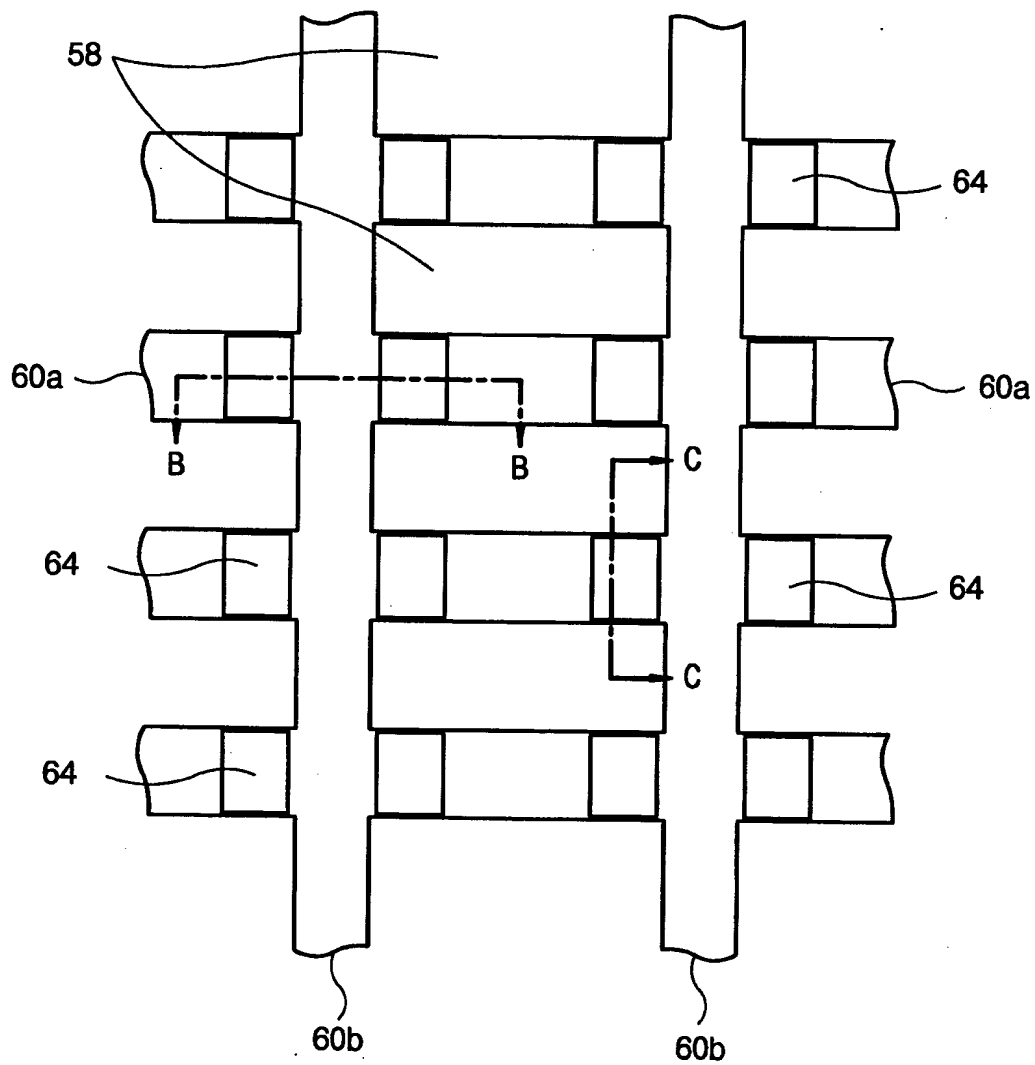
【도 5b】



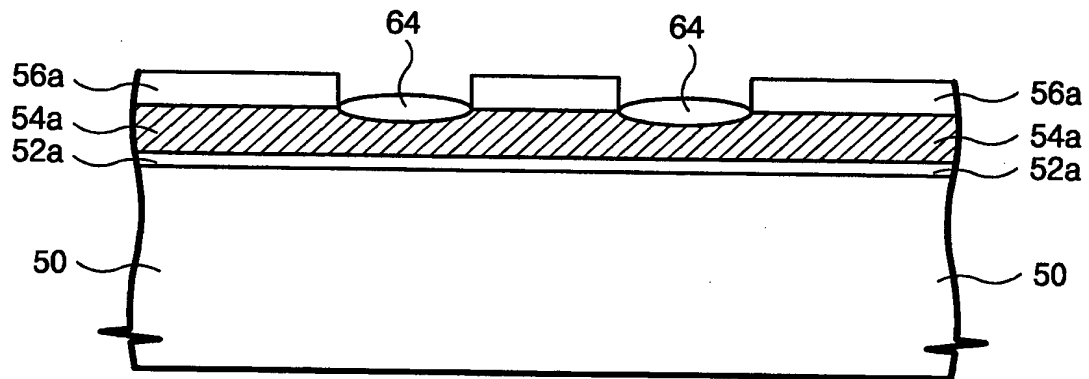
【도 5c】



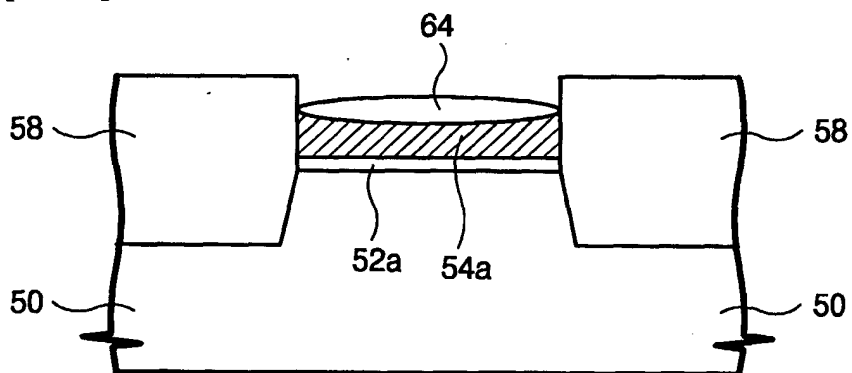
【도 6a】



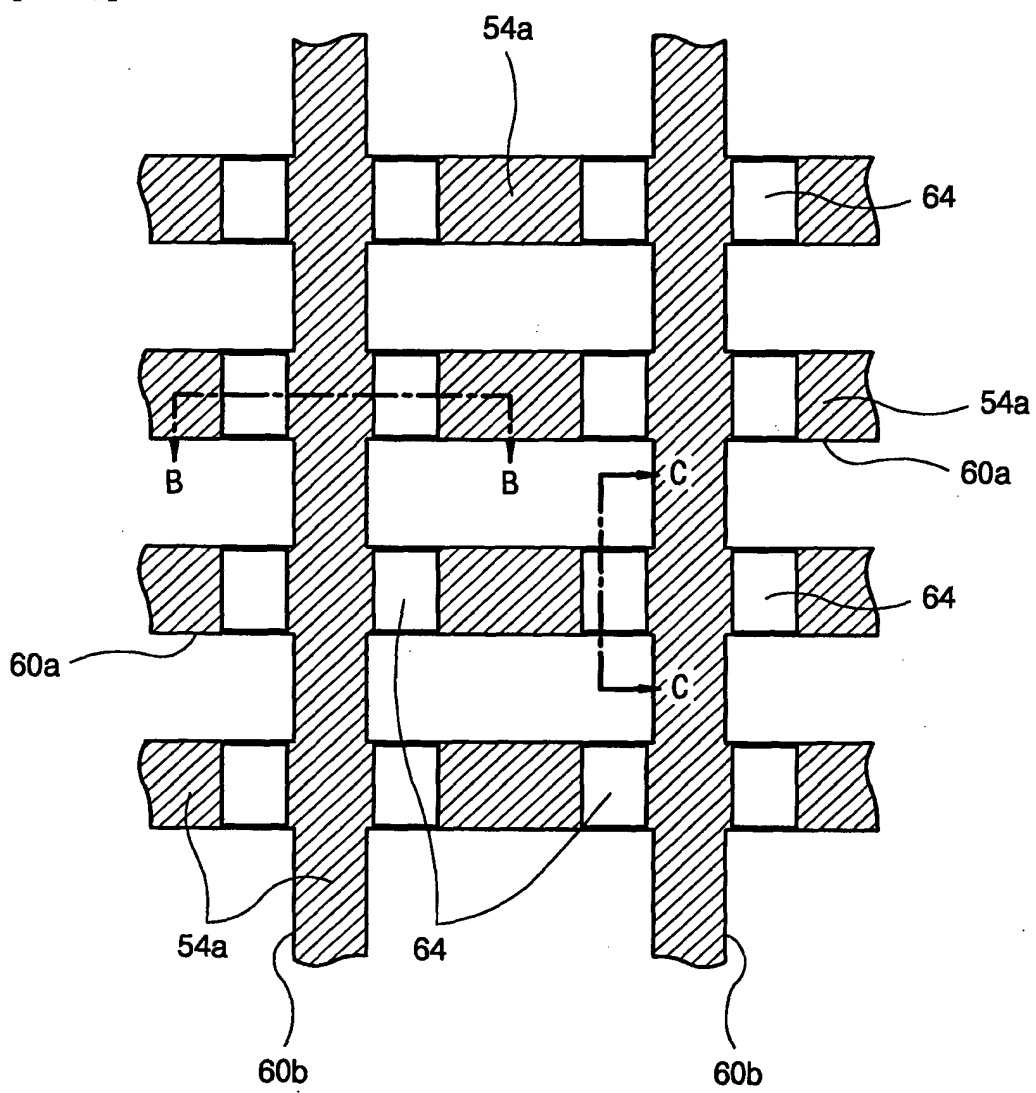
【도 6b】



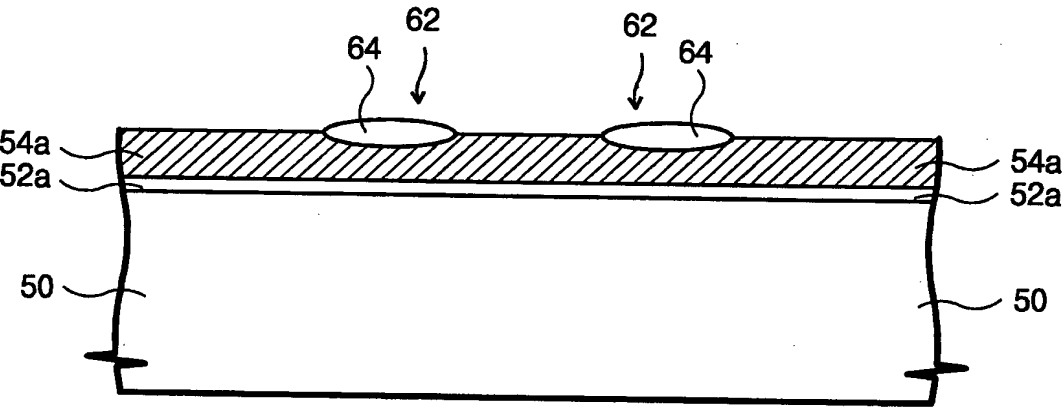
【도 6c】



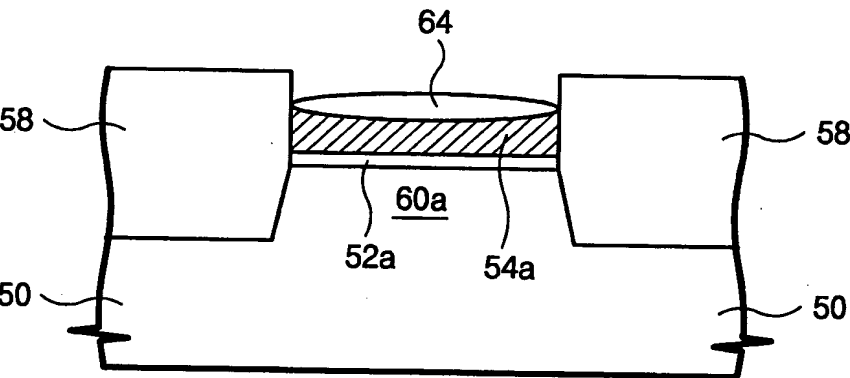
【도 7a】



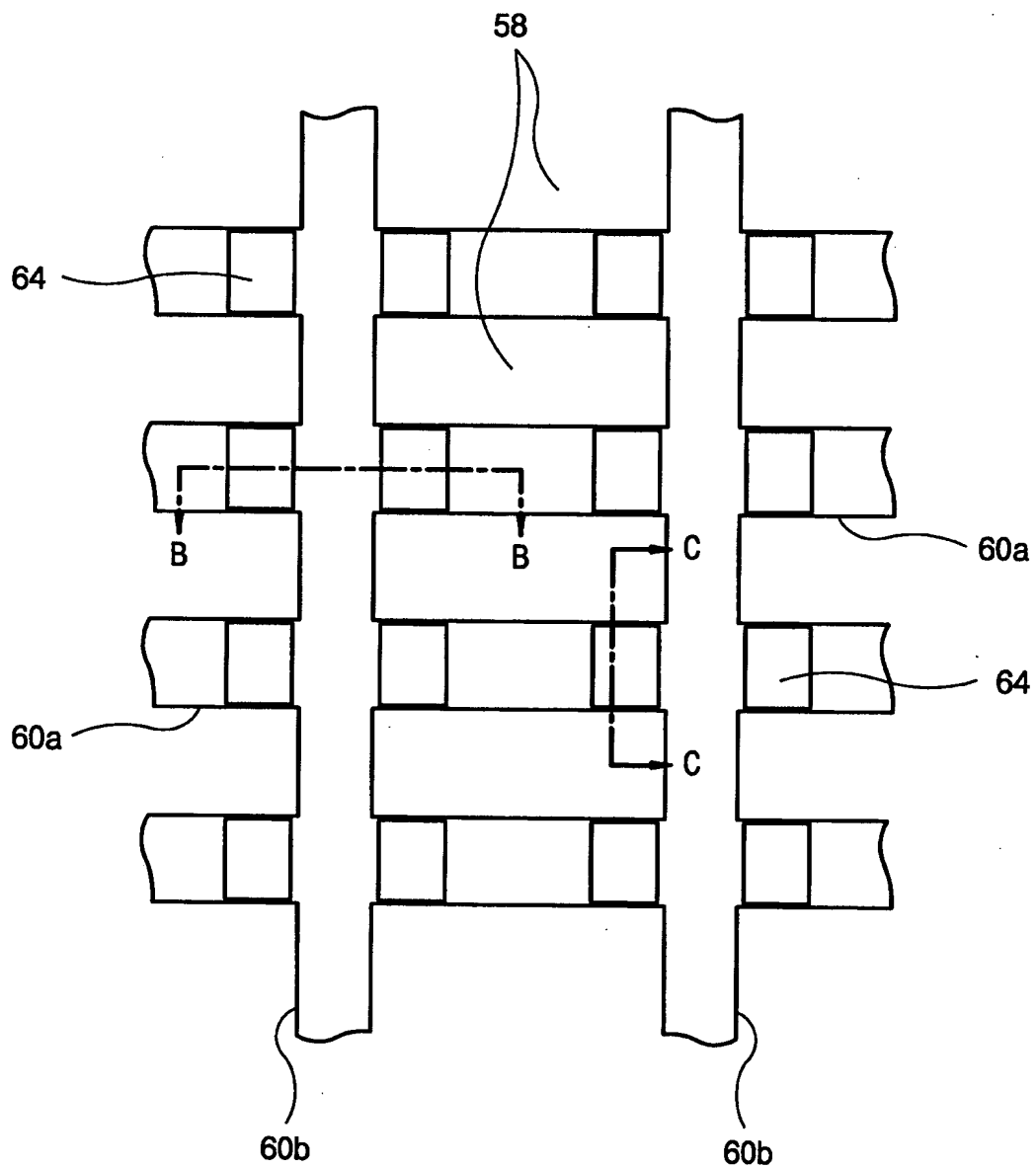
【도 7b】



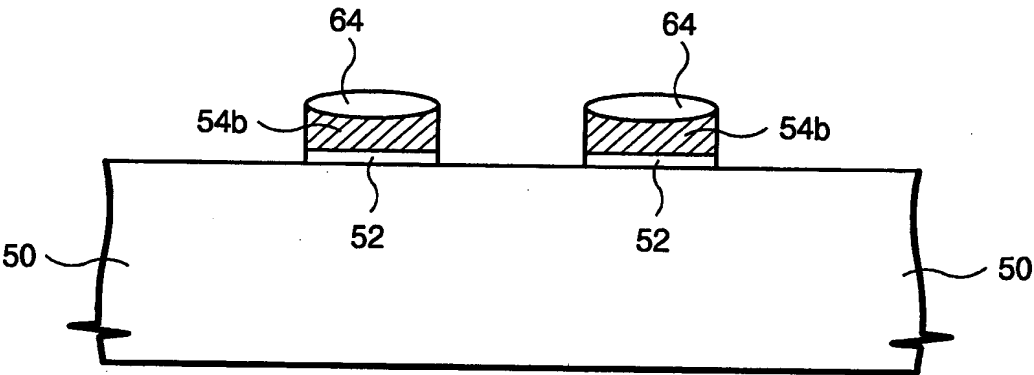
【도 7c】



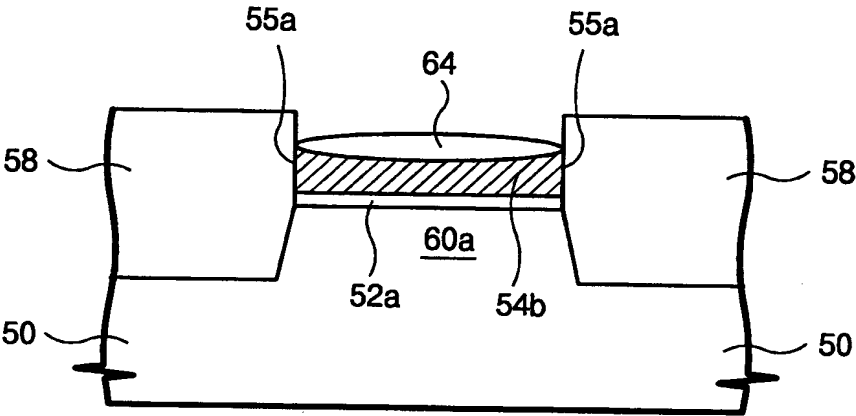
【도 8a】



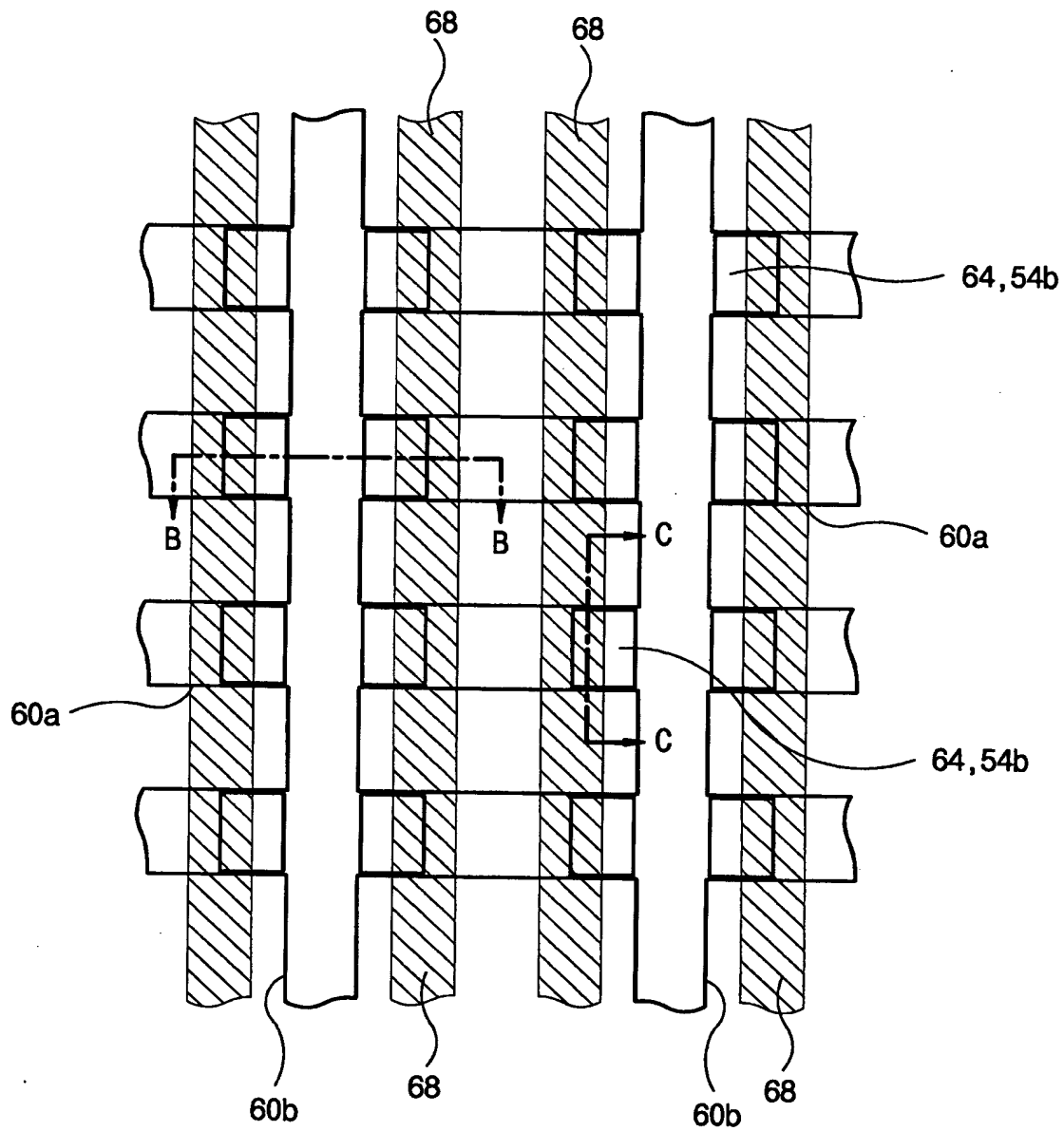
【도 8b】



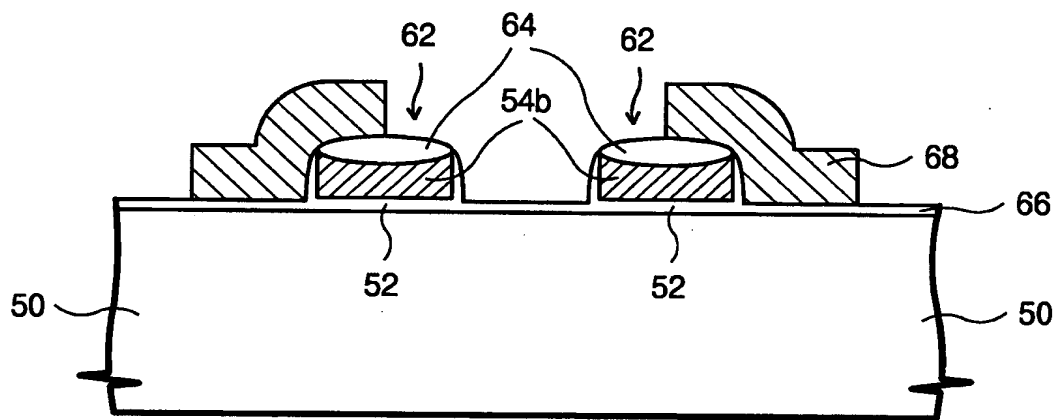
【도 8c】



【도 9a】



【도 9b】



【도 9c】

